

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

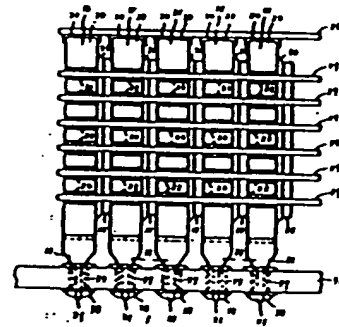
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR DEVICE

- (11) 58-112348 (A) (43) 4.7.1983 (19) JP
 (21) Appl. No. 56-211715 (22) 25.12.1981
 (71) FUJITSU K.K. (72) NOBUHIKO MIZUO
 (51) Int. Cl. H01L23/12, H01L23/48

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION: In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-112348

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)7月4日

H 01 L 23/12

7357-5F

23/48

7357-5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭56-211715

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭56(1981)12月25日

川崎市中原区上小田中1015番地

⑱ 発 明 者 水尾允彦

⑲ 代 理 人 弁理士 松岡宏四郎

1. 発明の名称

2. 特許請求の範囲

半導体チップが、一外部側面にピン状の外部導電端子を有し、他の外部側面に指状の外導電端子を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

3. 発明の詳細な説明

(A) 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に関り、特に半導体チップとして半導体メモリ素子がチップ・キャリアに実装された半導体装置に於ける外部導電端子の構造に関する。

(B) 技術的背景

計算機システム等の大規模化に伴い、計算機システムに搭載される半導体メモリ素子等の半導体装置の (I.C.) 素子の数は非常に増大となっており、このことはシステムの大規模化を促し、

それに伴ってシステム内の配線長が長くなり計算速度の低下を招く。そこで、計算機システム等に対する半導体 I.C. 素子の実装密度を高めシステムの大規模化を促える手段として提供されたのが、チップ・キャリア実装密度の半導体 I.C. 装置である。

(C) 従来技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。第1図はリードレス・チップ・キャリアに実装された半導体 I.C. 装置に於ける一列の断面図切及び底面図切を示したものである。そして断面図に於て1はセラミック基板、2はセラミック層、3は表面に金 (Au) めっき等が施されたチップ・スタージ、4は引出部に Au めっき等が施されている内部配線、5は内部配線からそれぞれ引出される Au めっき等が施されている外部配線、6は外部配線がそれぞれ底面に引出される面に Au めっき等が施された指状の外導端子、7はチップろう付け用ノライズ層、8は金属チップ、9は金 (Au) 合金等のろう材、

10は半導体ICチップ、11はボンディング・パッド、12はアルミニウム(Al)等のボンディング・ワイヤ、13は金(Au)/シリコン(81)層を示している。

このように製造を有する従来のチップ・キャリアに実装された半導体IC装置は、計算機システム等に配設される配線基板に対して底面を下にして水平に(平面)実装される。その実装状態を示したのが第2図で、図中14は前記チップ・キャリア実装面の半導体IC装置、15はセラミックあるいはプラスチックにより形成された配線基板、16は配線パターン、6は前記外部導電端子、17は平坦層のろう材を供している。

上記のように従来のチップ・キャリア実装面の半導体IC装置に於ては配線基板に対して平面実装がなされるために、チップ・キャリアの平面状によって実装密度が制限され更に実装密度を高めることができなかった。

(4) 発明の目的

本発明は上記問題点に鑑み、配線基板に対して

チップ・キャリア23上に例えば金属キャップ28が形成されておる。なお前記チップ・キャリア23に於けるピン状外部導電端子21は、通常製造の内部配線26からチップ・キャリア23の一面面に延出された外部配線27と上に鉄/ニッケル合金等通常の導電材料からなる例えばピン状打抜き加工片がろう28等によりろう付けされて形成され、又前記外部導電端子22は内部配線26からチップ・キャリア23の他面以外の三側面に導出された外部配線27と上に金めっき等が施されて形成される。そして半導体メモリ・チップ24は通常製造のチップ・スプーグ29上に金/シリコン合金30等を介してろう付けされ、例えば前記半導体メモリ・チップ24のチップ・セラミック端子等チップ固有の信号が配されるパッド端子31とピン状外部導電端子に接続する内部配線26とがアルミニウム等のボンディング・ワイヤ31により接続される。又入出力端子、電線端子等メモリ・チップに対して共通に配線されるパッド端子31と前記外部導電端子22

両面に接続することが可能を製造を有するチップ・キャリア実装の半導体装置を提供し、実装密度を向上せしめることを目的とする。

(5) 発明の構成

本発明は半導体装置に於て、半導体チップが、一外部両面にピン状の導電端子を有し他の外部両面に被覆状の導電端子を有するチップ・キャリアに実装されてなることを特徴とする。

(6) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実施例について、第3図に示す上面図(H)、側面図(I)、A-A'矢視断面図(F)、下面図(G)、及び第4図に示す実装方法に於ける一実施例の上面図(H)、側面図(I)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば第3図(H)、(I)、(F)、(G)に示すよう、一面面に例えば2(本)のピン状外部導電端子21が配設され、他の三側面に所望数の被覆状外部導電端子22が配設されたセラミック・チップ・キャリア23内に半導体メモリ・チップ24が実装され、該チップ

に接続する内部配線26とがボンディング・ワイヤ32により接続される。本発明の構成に於ては、通常このようにピン状外部導電端子21をチップ・セラミック端子等メモリ装置に固有な信号端子とし、被覆状外部導電端子22を入出力端子あるいは電線端子等メモリ装置に対する共通信号の端子とする。そして上記のように半導体メモリ・チップ24が実装されたチップ・キャリア23上面に形成されている通常製造の閉止層33上に鉛/錫合金等のろう材34を介して金属キャップ25が気密にろう付けされておる。

本発明の構成を有する半導体装置は前記半導体装置に配設されたピン状外部導電端子を介して配線基板上に立てて実装することができる。

第4図は前記実施例に示した半導体メモリ装置の実装例を示したもので、図中21はピン状外部導電端子(固有信号端子)、22は被覆状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、24は金属キャップ、34はろう材、35は半導体メモリ装置、36は

第4図は前記実施例に於て、下図で互いが図1立て並べられ、64外部導電端子21がスルーホール37に穿たれる。そして各端子である被覆状外部導電端子22が平坦層付けされる。なお上記実施例に於て2(本)設けたが、図1に示すように、又図1で一層がキャリア内に穿たれる。又キャリア内に、更に又本発明に於てはチップ・キャリアに

チップ・キャリア23上に例えば金属キャップ28が形成されておる。なお前記チップ・キャリア23に於けるピン状外部導電端子21は、通常製造の内部配線26からチップ・キャリア23の一面面に延出された外部配線27と上に鉄/ニッケル合金等通常の導電材料からなる例えばピン状打抜き加工片がろう28等によりろう付けされて形成され、又前記外部導電端子22は内部配線26からチップ・キャリア23の他面以外の三側面に導出された外部配線27と上に金めっき等が施されて形成される。そして半導体メモリ・チップ24は通常製造のチップ・スプーグ29上に金/シリコン合金30等を介してろう付けされ、例えば前記半導体メモリ・チップ24のチップ・セラミック端子等チップ固有の信号が配されるパッド端子31とピン状外部導電端子に接続する内部配線26とがアルミニウム等のボンディング・ワイヤ31により接続される。又入出力端子、電線端子等メモリ・チップに対して共通に配線されるパッド端子31と前記外部導電端子22

代理人 介理士

半導体チップが、
子を有し他の外周側
るチップ・キャリア
とする。

より低減に於ける一貫
上面図(H)、側面図(I)、
下面図(J)、及び図4に
施す上面図(H)、側面
る。
メモリ装置は、例えば
下図、一貫図に示し
る端子21が配設され、
1状外部導電端子22が
チップ・キャリア23内
24が実装され、図ナ

がボンディング・ワ
し、本発明の構成に於て
状外部導電端子21をナ
メモリ装置に固有な信号
導電端子22を入出力端子
メモリ装置に對する共通信
上記のように半導体メモ
されたチップ・キャリア23
8系構造の封止層33上に、
34を介して金属キャップ
されてをっている。
る半導体装置は、半導体
外部導電端子を介して配
るに於ける。
図に示した半導体メモリ
、0で、図中21はピン状
9端子)、22は被覆状外
導電端子)、23はセラミッ
24は金属キャップ、25は
半導体メモリ装置、26は

チップ・キャリア等からなる配線基板、37
38は平坦、39は導線を表わ
る。
図4は最も実装密度を高めた実施例で、
図5は図4に於ける、半導体メモリ装置38以上、
下面図及び上面図が示す状態にて配線基板36上に
立て並べられ、各半導体メモリ装置38のピン状
外部導電端子21が配線基板36に於ける所定の
スルーホール37に差し込まれ平坦付けされて固
定される。そして各メモリ装置38に於ける共通
信号端子である被覆状外部導電端子22上には各
列毎にそれぞれ導線39からなる一連の共通信号
線が平坦付けされる。
なお上記実施例に於てはピン状外部導電端子を
2(本)設けたが、該端子は必要に応じて何本も
るしつかない。又該ピン状外部導電端子は脚状
で一層がキャリア面にねじ込まれて形成されたも
のでも良い。又キャップはセラミックであって
も良い。更に又本発明は金属パッケージ、プラス
チックパッケージにも適用することができる。

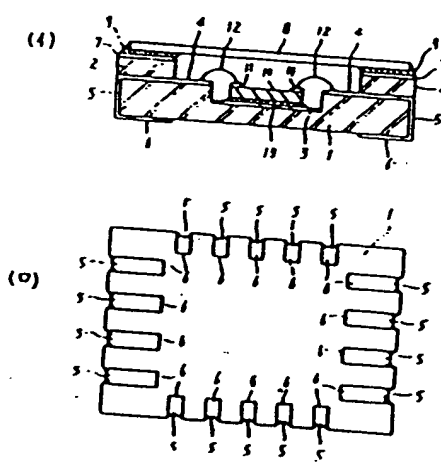
図中、26及び26bは内部配線、27、及び27
bは外部配線、28は銀ろう、29はチップ・ス
ター、30は金/シリコン合金、31a、及び31
bはリード端子、32はボンディング・ワイヤ、
33は封止層、34はろう材、35は半導体メモ
リ装置、36は配線基板、37はスルーホール、
38は平坦、39は導線を示す。

代理人 弁護士 松岡 実郎

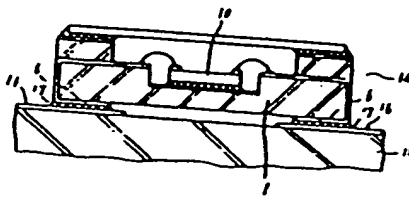
(d) 発明の効果
以上説明したように本発明の構成を有する半導
体装置は、配線基板上に立てて実装することがで
きる。そこで図4に示すような配線基板上への
実装方法が可成りあり、図からも明らかのように
従来の平面実装割合に比べて実装密度を大幅に向
上せしめることができる。
従って本発明は計算機システム等の高速化、小
型化に對して有効である。

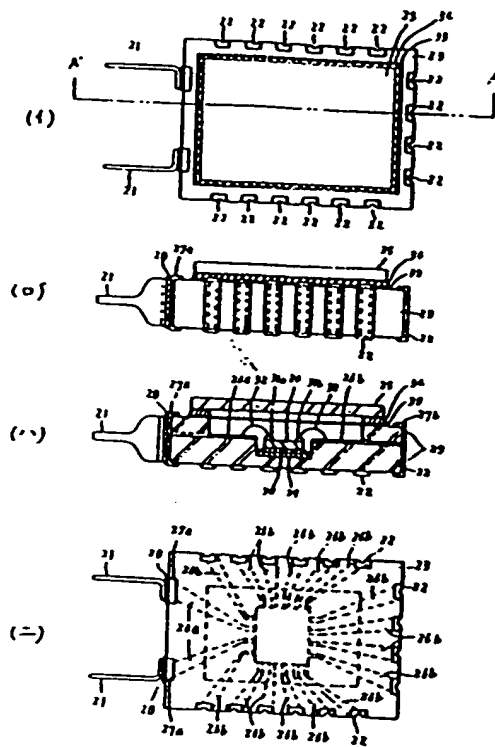
4. 図面の簡単な説明
第1図は従来の構造の断面図(H)及び下面図(J)、第
2図は従来の実装構造の断面図(I)、第3図は本
発明の半導体装置に於ける一貫施す上面図(H)、
側面図(I)、A-A'矢視断面図(J)、下面図(J)、
第4図は本発明の半導体装置に於ける一貫施す上
面図(H)及び側面図(I)である。
図に於て、21はピン状外部導電端子(固有信
号端子)、22は被覆状外部導電端子(共通信号
端子)、23はセラミック・チップ・キャリア、
24は半導体メモリ・チップ、25は金属キャ

第1図



第2図





第 4 圖

